Міністерство освіти і науки України

Національний університет «Львівська політехніка»



Звіт

про виконання лабораторної роботи №3

з дисципліни «Моделювання комп’ютерних систем»

на тему «Поведінковий опис цифрового автомата. Перевірка роботи автомата за допомогою стенда Elbert V2 – Spartan 3A FPGA»

Варіант №4

Виконав:

ст. гр. КІ-201

Грицай В.О.

Прийняв:

асистент каф. ЕОМ

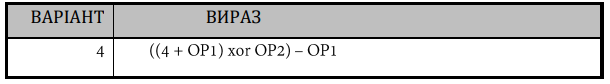
Козак Н. Б.

Львів – 2023

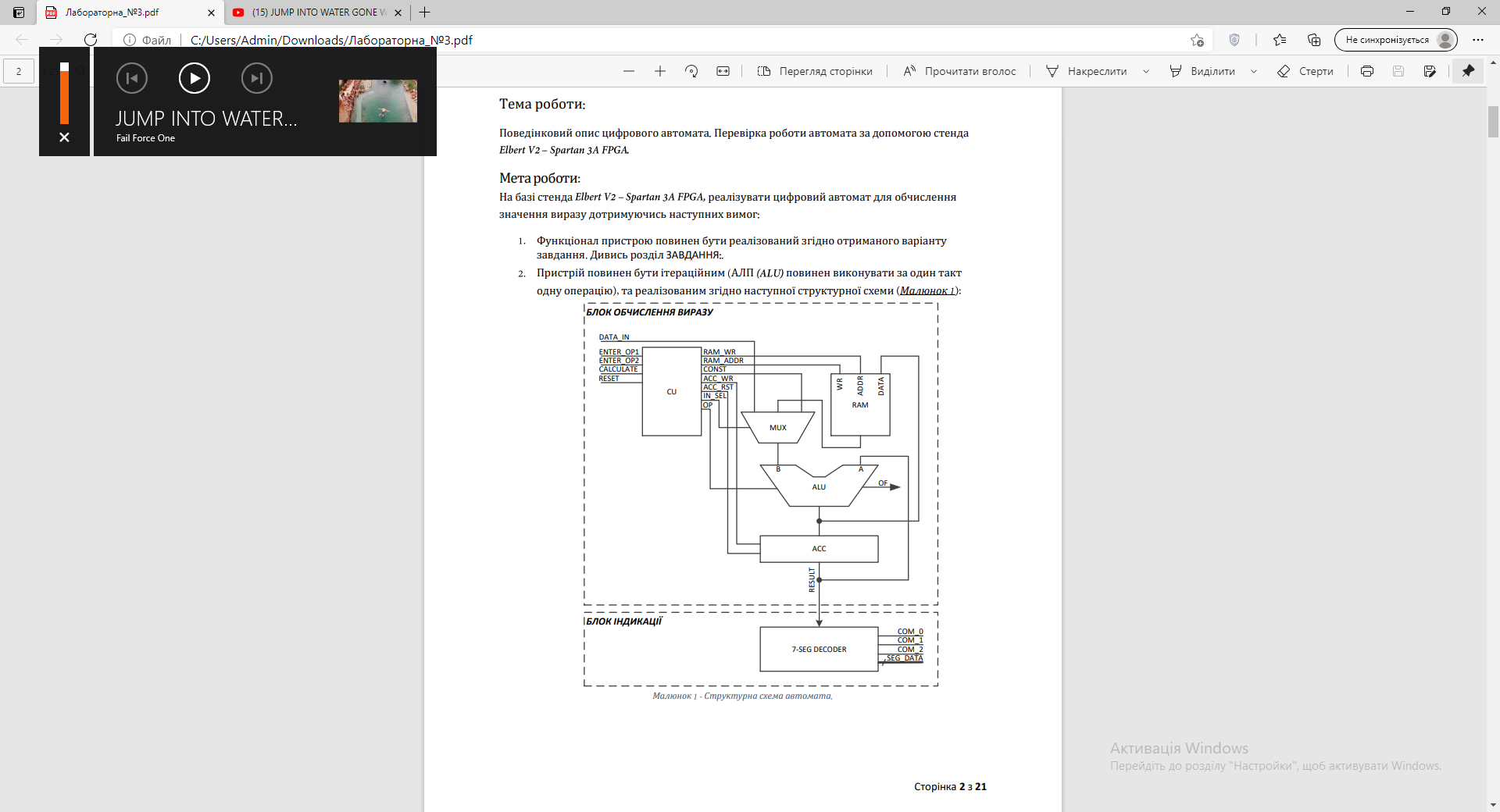
**Мета:** на базі стенда реалізувати цифровий автомат для обчислення виразу.

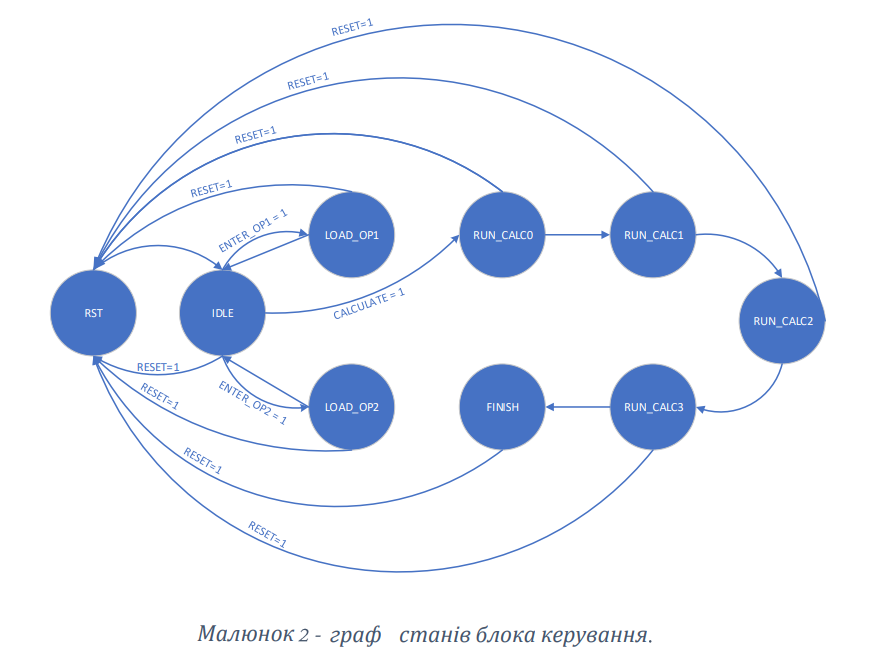
**Завдання:**

1. На базі стенда реалізувати цифровий автомат для обчислення значення виразу дотримуючись наступних вимог:

****

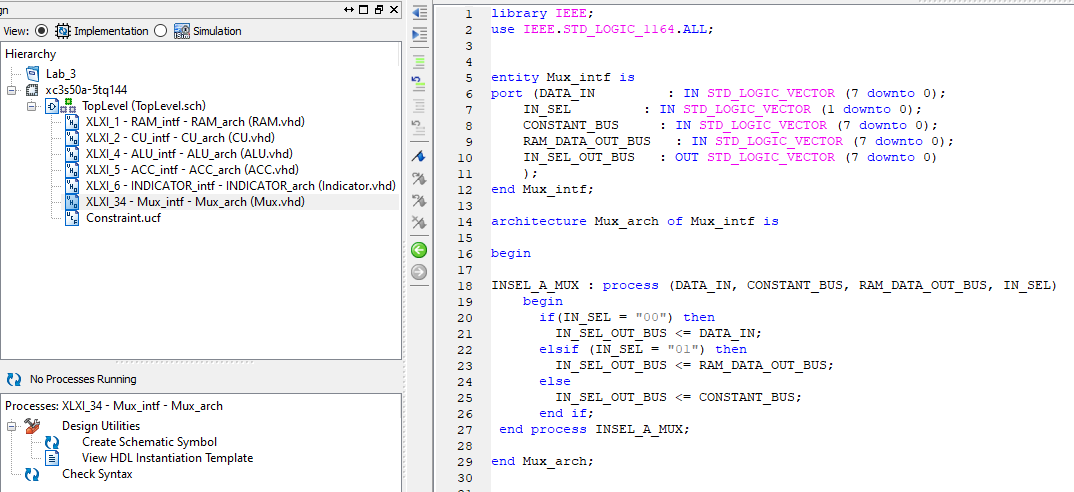
1. Пристрій повинен бути ітераційним АЛП повинен виконувати за один такт одну операцію та реалізованим згідно наступної структурної схеми:

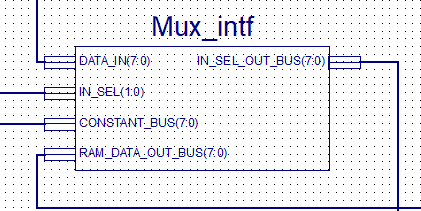


****

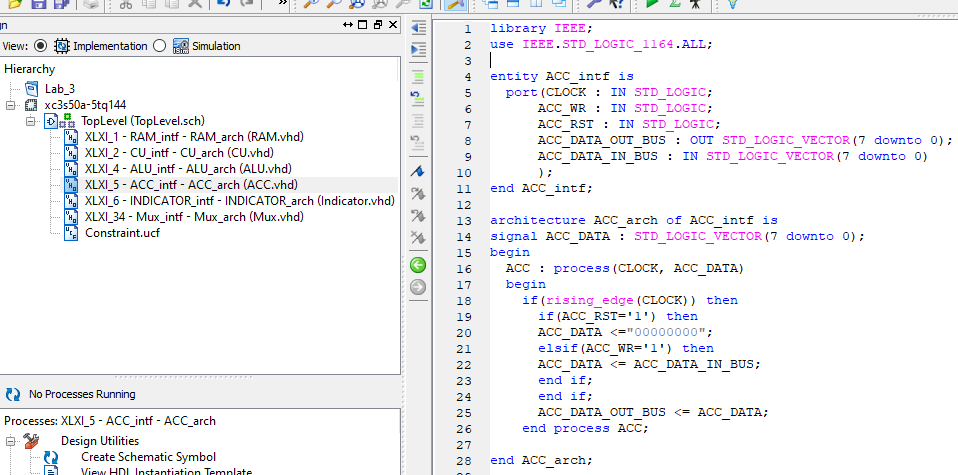
**Виконання роботи:**

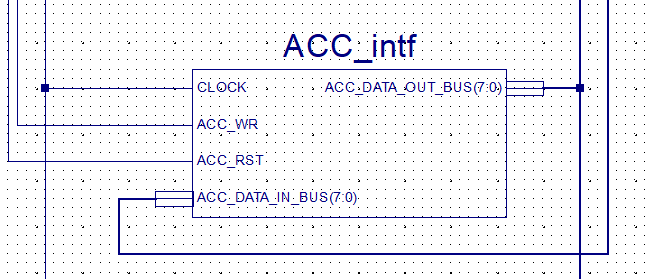
1. Створюю новий файл **Mux.vhd** в якому реалізовую мультиплексор:



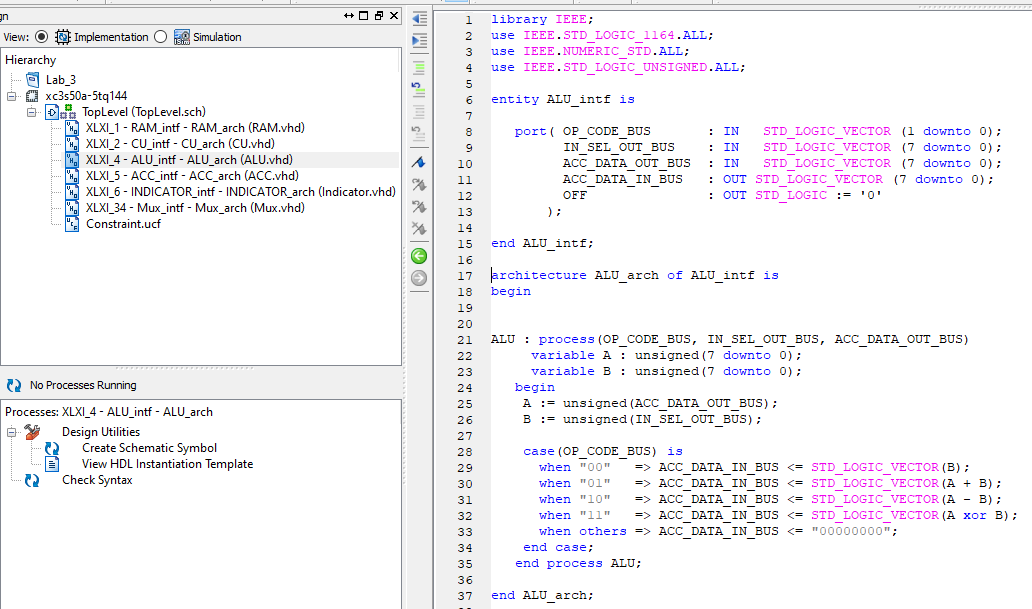


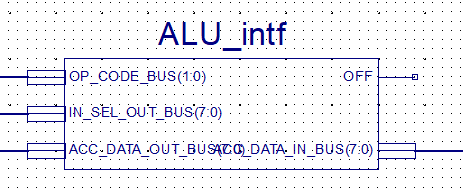
1. Створюю файл **ACC.vhd**, в якому реалізовую регістр:



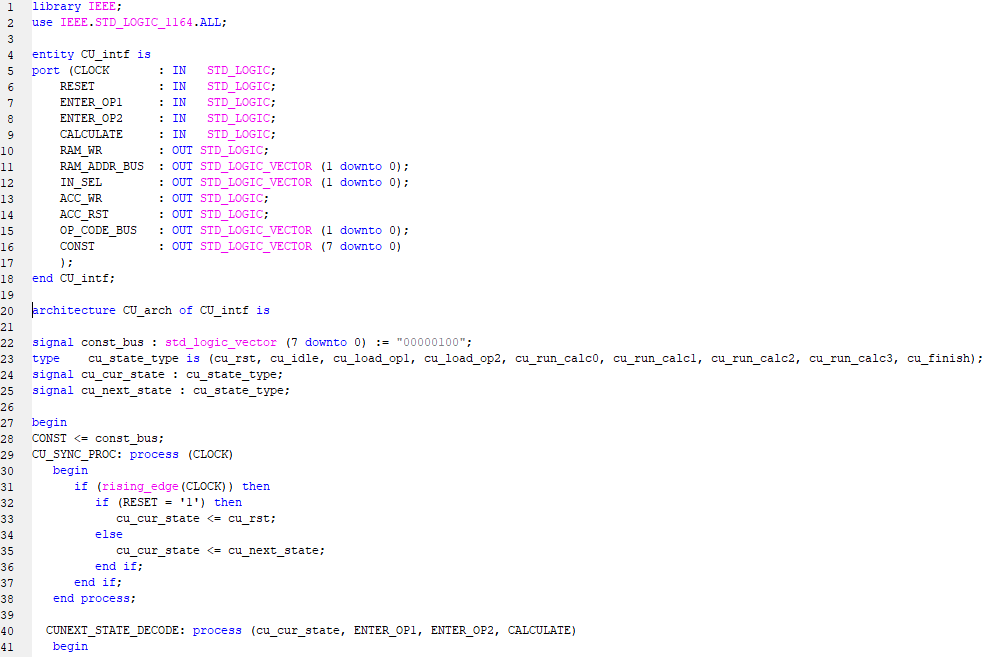


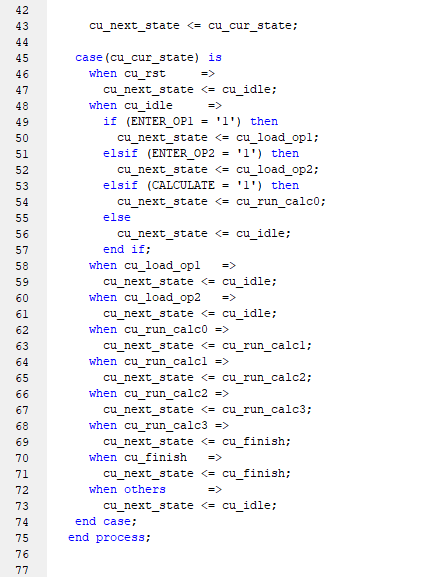
1. Створюю файл **ALU.vhd**, який реалізовує арифметико-логічний пристрій, що підтримує різні операції, а саме: **« + »**, **« - »** та« xor »:

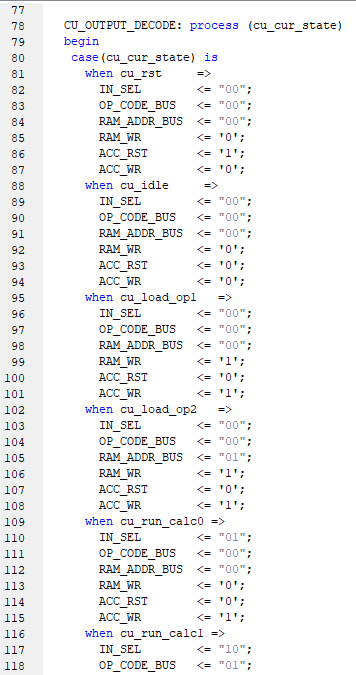


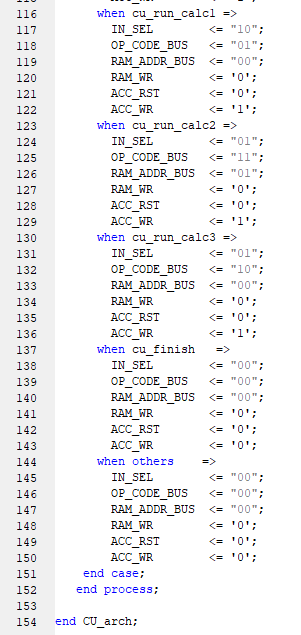


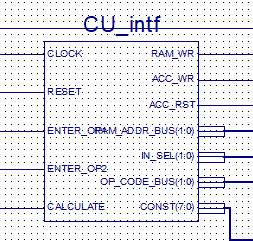
1. Визначивши множину станів та умови переходу пристрою керування (CU), необхідних для обчислення виразу, створюю новий файл CU.vhd, який реалізовує пристрій керування, згідно визначеного алгоритму:



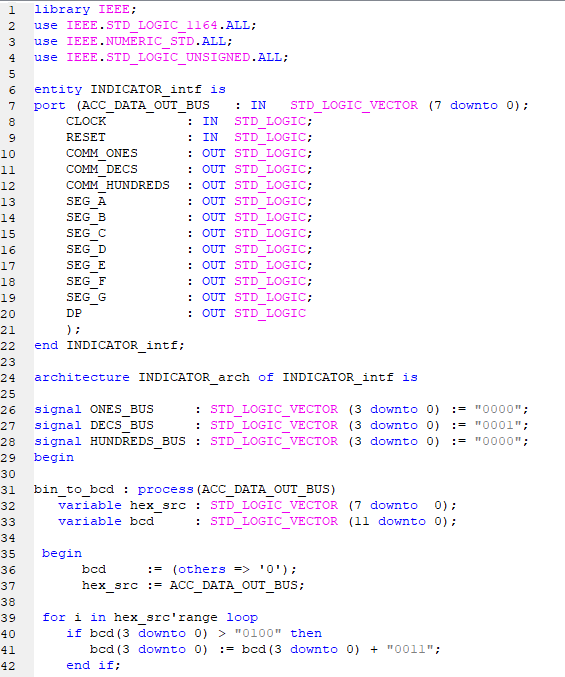


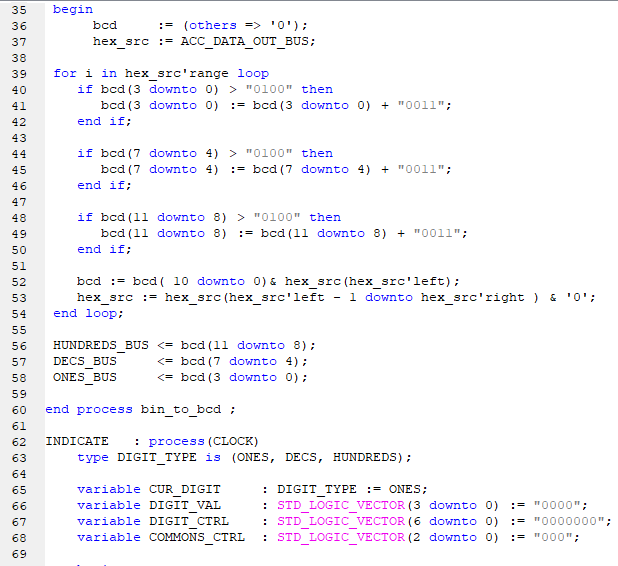


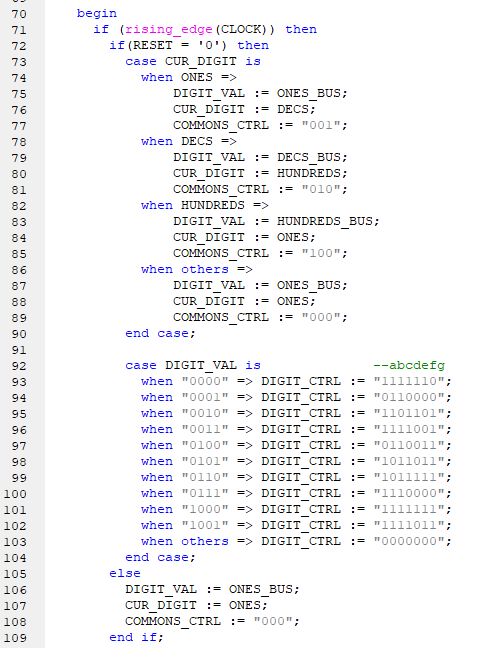


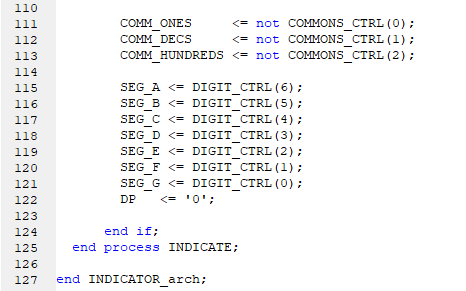


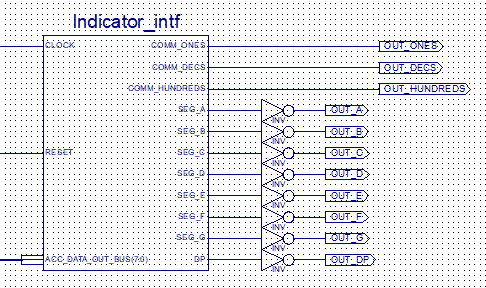
1. Створюю файл **Indicator.vhd,** в якому реалізовую блок індикації (7-SEG DECODER):



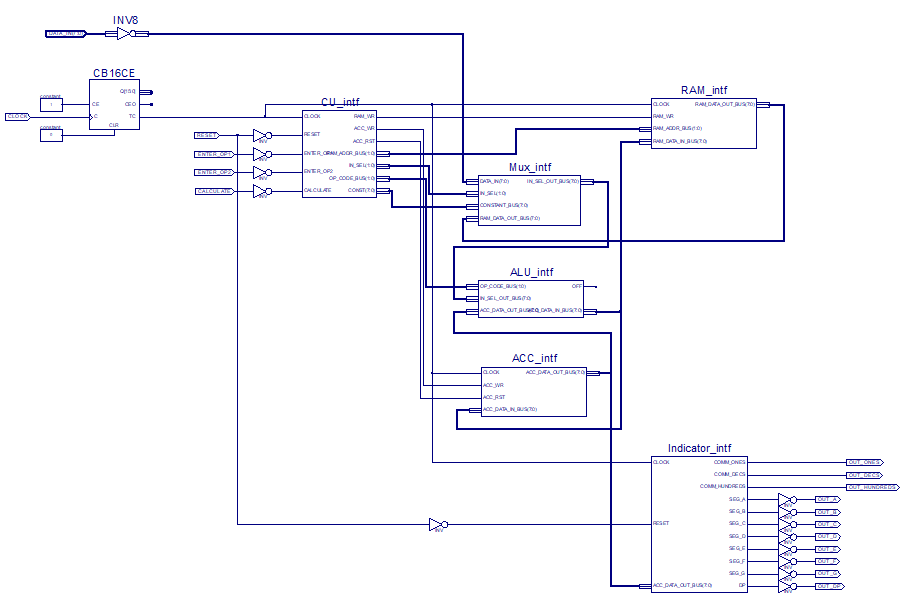




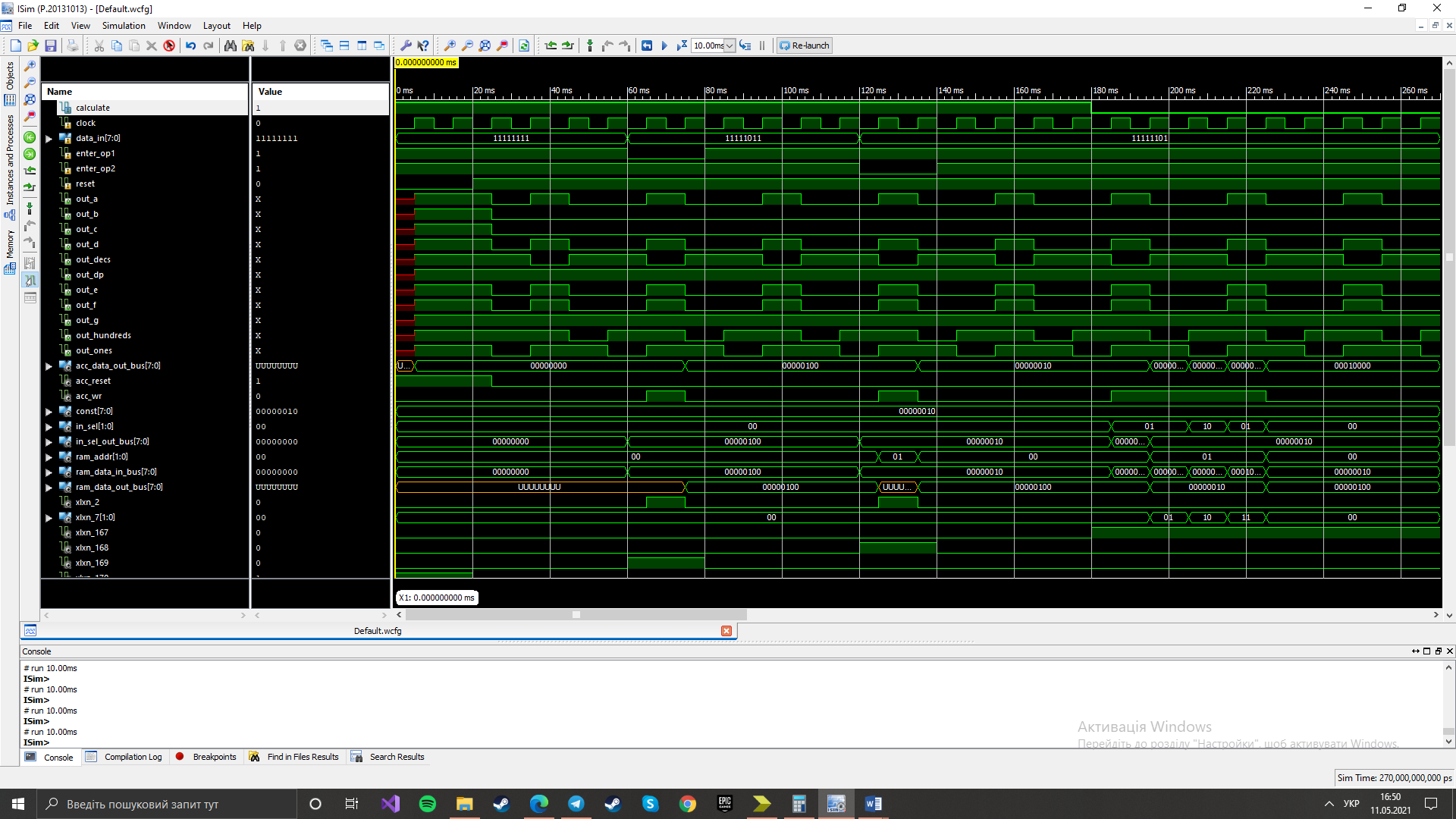




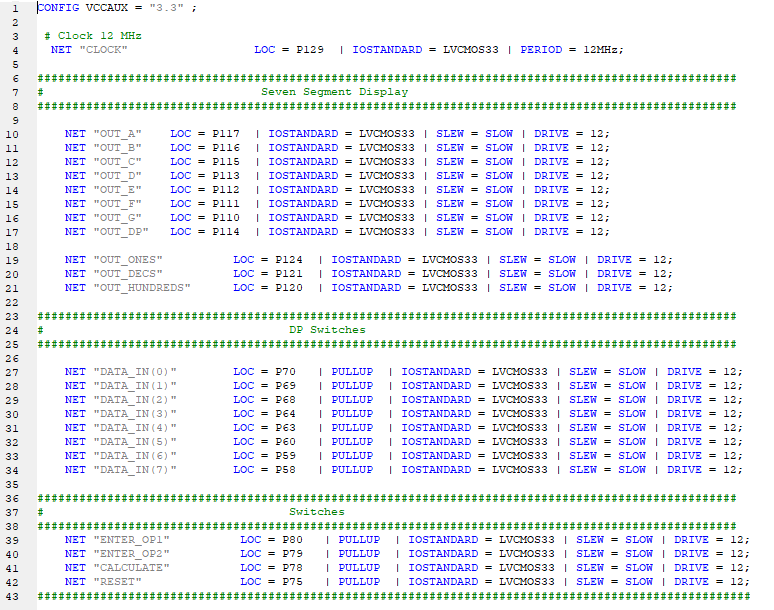
1. Згенерувавши символи для раніше імплементованих компонентів створюю файл верхнього рівня **TopLevel.sch**, в якому виконую інтеграцію компонентів системи між собою та зі стендом Elbert V2 – Spartan 3A FPGA:



1. За допомогою симулятора ISim симулюю роботу пристрою:

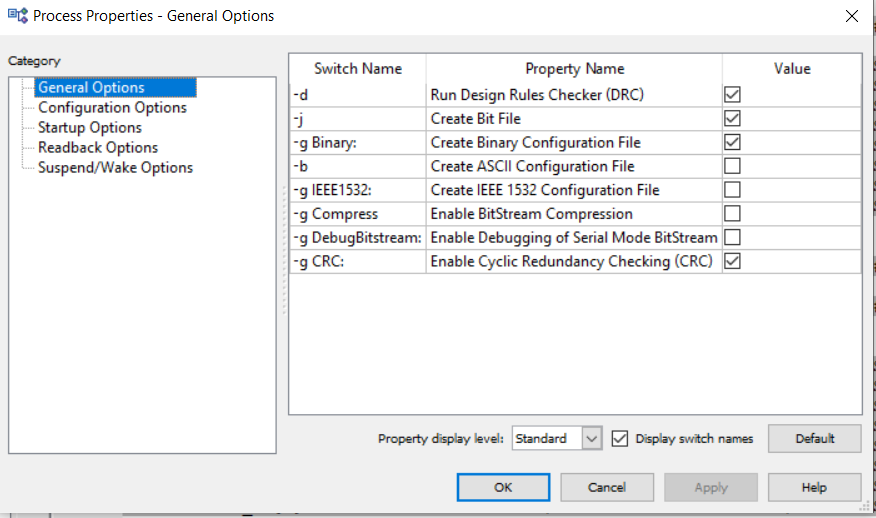


1. Призначив виводам схеми фізичні виводи цільової FPGA:

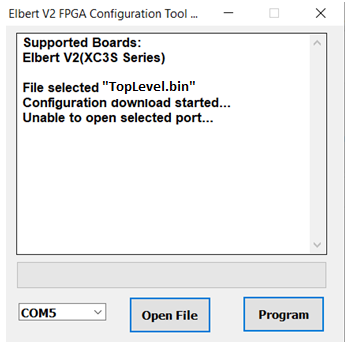


1. Згенерував BIT файл для цільової FPGA.

Послідовно запустив процеси Synthesize-XST, Implement Design та Generate Programming File:



1. Запрограмував лабораторний стенд отриманим BIT файлом:



**Висновок:** виконуючи дану лабораторну роботу, я навчився на базі стенда Elbert V2 – Spartan 3A FPGA реалізовувати цифровий автомат для обчислення значення виразу.